

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

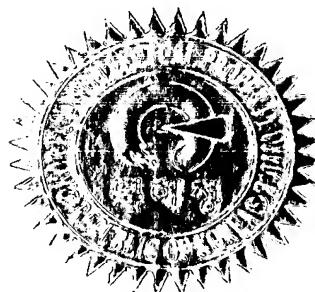
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0043698
Application Number PATENT-2002-0043698

출원년월일 : 2002년 07월 24일
Date of Application JUL 24, 2002

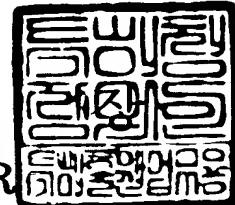
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 10 월 23 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0025
【제출일자】	2002.07.24
【국제특허분류】	H01L
【발명의 명칭】	저에너지 이온주입을 이용한 반도체 소자의 웰로우 웨л 형성방법
【발명의 영문명칭】	Method for fabricating shallow well of semiconductor device by low energy implantation
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이재규
【성명의 영문표기】	LEE, Jae Kyu
【주민등록번호】	720509-1690517
【우편번호】	442-726
【주소】	경기도 수원시 팔달구 영통동 벽적골9단지아파트 902동 902호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

1020020043698

출력 일자: 2002/10/24

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】		394,000	원	
【첨부서류】		1.	요약서·명세서(도면)_1통	

【요약서】**【요약】**

저에너지 이온주입을 이용한 반도체 소자의 셀로우 웨л 형성방법을 개시한다. 본 발명에 따른 웨л 형성방법에서는, 웨л 이온주입시 저에너지 높은 도우즈(low energy high dose)를 사용하여 웨л 영역의 깊이를 트렌치형 소자분리막 정도의 깊이에 형성한다. 이로써, 웨л 영역의 수직적 스케일링(scaling)을 통하여 웨爾간 마진을 확보하고 웨л 저항을 감소시킬 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

저에너지 이온주입을 이용한 반도체 소자의 셀로우 웰 형성방법{Method for fabricating shallow well of semiconductor device by low energy implantation}

【도면의 간단한 설명】

도 1 내지 도 6은 본 발명의 일 실시예에 따른 셀로우 웰 형성방법을 설명하기 위한 공정단면도들이다.

도 7 내지 도 13은 본 발명의 다른 실시예에 따른 셀로우 웰 형성방법을 설명하기 위한 공정단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

110, 210 : 패드 질화막 120, 220 : 소자분리용 트렌치

130, 230 : 산화막 라이너 140, 240 : 질화막 스페이서

150, 250, 252 : 저에너지 높은 도우즈의 이온주입

160 : 고농도 웰 170, 270 : 소자분리막

180, 280, 282 : 저에너지의 이온주입 190 : 저농도 웰

245, 247, 275, 277 : 감광막 260 : P+ 웰

262 : N+ 웰 290 : P 웰

292 : N 웰

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 소자의 제조방법에 관한 것으로서, 특히 반도체 소자의 웰을 고집적화에 유리하게 형성하는 방법에 관한 것이다.
- <13> 반도체 제품에서의 웰은 실제 동작하는 MOS 소자에 몸체 전압(body voltage)을 전달해주며 충돌 이온화(impact ionization)에 의해 생성된 캐리어들을 빼주는 역할을 한다. 웰이 이러한 역할을 수행하도록 하기 위해서는 웰 이온주입시 많은 양의 도우즈를 투입해서 낮은 저항을 유지하도록 하여야 한다. 특히 랙치업(latch-up)과 같은 신뢰성 테스트 항목에서는 낮은 웰 저항이 절대적으로 중요한 역할을 하게 된다. 따라서, 낮은 저항을 유지하기 위해 고에너지 이온주입을 이용하여 깊은 웰을 형성하고 있다. 그러나, 고에너지 이온주입은 웰간의 마진을 줄이게 된다.
- <14> 한편, 반도체 제품의 집적화에 따라 게이트 길이 및 활성영역의 폭 등은 수평방향으로 스케일링(scaling)이 이루어져 왔다. 그러나 이러한 수평방향으로의 스케일링에 대한 웰 구조의 수직적인 스케일링은 상대적으로 적었으며 이로 인해 웰간의 마진 부족은 더욱 심각해져 칩 크기 감소에 제약을 받게 되었다.
- <15> 그러나, 종래의 고에너지 이온주입 방법을 그대로 이용하면서 웰 깊이를 얕게 형성할 경우 저항 증가가 우려되며, 이러한 증가는 소자 구동시 랙치업과 같은 오동작을 유발하게 된다. 또한 셀 어레이 영역에서의 웰 깊이는 SER(soft error rate)과도 밀접한 관련이 있음은 잘 알려진 사실이다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 웨л 영역의 수직적 스케일링을 통하여 웨간의 마진을 확보할 수 있고 저저항을 가지는 웨л 형성방법을 제공하는 것이다.

【발명의 구성 및 작용】

<17> 상기 기술적 과제를 달성하기 위하여 본 발명에서는 저에너지 이온주입을 이용하여 저저항의 웨를 형성하는 방법을 제안하고자 한다. 저에너지 이온주입을 통한 웨 형성은 불순물 확산에 의한 웨 마진 손실 및 두꺼운 감광막의 수축(shrinkage)에 의한 웨 마진 손실을 최소화할 수 있다.

<18> 이상적인 웨 구조는 웨 깊이는 가능한 얕게 형성하면서 웨 저항 측면에서는 고에너지 높은 도우즈의 웨과 같은 정도의 저항을 확보하여야 한다. 따라서, 본 발명에 따른 웨 형성방법에서는, 반도체 기판 내에 소자분리용 트렌치를 형성한 다음, 상기 트렌치의 바닥에 저에너지 높은 도우즈(low energy high dose)의 이온주입을 실시하여 고농도 웨를 형성한다. 상기 트렌치를 절연막으로 매립하여 상기 고농도 웨 위로 소자분리막을 형성하고, 상기 소자분리막을 포함한 반도체 기판 전면에 저에너지의 이온주입을 실시하여 상기 고농도 웨의 상부와 오버랩되는 깊이까지 저농도 웨를 형성한다.

<19> 본 발명의 일 실시예에 따르면, 반도체 기판에 패드 질화막을 형성한 다음, 상기 패드 질화막을 식각마스크로 사용하여 상기 반도체 기판을 식각함으로써 상기 반도체 기판 내에 소자분리용 트렌치를 형성한다. 상기 트렌치의 내벽에 질화막 스페이서를 형성하고, 상기 패드 질화막과 질화막 스페이서를 이온주입 마스크로 사용하는 저에너지 높은 도우즈의 이온주입을 실시하여 상기 트렌치의 바닥에 고농도 웨를 형성한다. 상기

고농도 웨일 위로 절연물질을 덮고 상면을 평탄화한 다음 상기 패드 질화막을 제거하여, 상기 트렌치를 매립하는 소자분리막을 형성한다. 이어서, 상기 반도체 기판 전면에 저에너지의 이온주입을 실시하여 상기 고농도 웨일의 상부와 오버랩되는 깊이까지 저농도 웨일을 형성한다. 고농도 웨일과 저농도 웨일을 합친 전체 웨일의 깊이는 트렌치형 소자분리막 정도의 깊이에 해당되고, 따라서 쉘로우 웨일이라 칭할 만 한다. 특히 소자분리막 바로 아래에 고농도 웨일이 형성된다. 이상과 같은 실시예에 따라, 웨일 영역의 수직적 스케일링을 통하여 웨일간 마진을 확보하고 웨일 저항을 감소시킬 수 있다.

<20> 본 발명의 다른 실시예에서는 CMOS용 웨일을 형성한다. 이를 위해서, 반도체 기판을 PMOS 영역과 NMOS 영역으로 나눈 다음, 상기 반도체 기판에 패드 질화막을 형성한다. 상기 패드 질화막을 식각마스크로 사용하여 상기 반도체 기판을 식각함으로써 상기 반도체 기판의 PMOS 영역과 NMOS 영역 내에 소자분리용 트렌치들을 형성한다. 상기 트렌치들의 내벽에 질화막 스페이서를 형성한다. 상기 NMOS 영역쪽만 노출시키는 1차 감광막을 형성한 다음, 상기 패드 질화막과 질화막 스페이서를 이온주입 마스크로 사용하는 저에너지 높은 도우즈의 이온주입을 실시하여 상기 NMOS 영역의 트렌치 바닥에 P+ 웨일을 형성한다. 상기 1차 감광막을 제거한 다음, 상기 PMOS 영역쪽만 노출시키는 2차 감광막을 형성하고, 상기 패드 질화막과 상기 질화막 스페이서를 이온주입 마스크로 사용하는 저에너지 높은 도우즈의 이온주입을 실시하여 상기 PMOS 영역의 트렌치 바닥에 N+ 웨일을 형성한다. 상기 2차 감광막

을 제거한 다음, 상기 P+ 웨爾과 N+ 웨爾 위로 절연물질을 덮고 상면을 평탄화한 후 상기 패드 질화막을 제거하여, 상기 트렌치를 매립하는 소자분리막을 형성한다. 상기 NMOS 영역쪽만 노출시키는 3차 감광막을 형성한 후, 상기 소자분리막을 포함한 반도체 기판 전면에 저에너지의 이온주입을 실시하여 상기 NMOS 영역에 상기 P+ 웨爾의 상부와 오버랩되는 깊이까지 P 웨爾을 형성한다. 상기 3차 감광막을 제거한 다음, 상기 PMOS 영역쪽만 노출시키는 4차 감광막을 형성하고, 상기 소자분리막을 포함한 반도체 기판 전면에 저에너지의 이온주입을 실시하여 상기 PMOS 영역에 N+ 웨爾의 상부와 오버랩되는 깊이까지 N 웨爾을 형성한다. 끝으로, 상기 4차 감광막을 제거한다. 본 실시예에 따르면, 저에너지 이온주입을 실시하므로 상기 1차 내지 4차 감광막은 웨爾 마진을 확보할 수 있는 정도의 얇은 두께로 형성할 수 있다.

<21> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

<22> (제1 실시예)

<23> 도 1 내지 도 6은 본 발명의 제1 실시예에 따른 웰로우 웨爾 형성방법을 설명하기 위한 공정단면도들이다.

- <24> 도 1을 참조하면, 반도체 기판(100)에 패드 질화막(110)을 형성한 다음, 이를 식각 마스크로 사용하여 반도체 기판(100)을 2500 내지 3000Å 정도 식각하여 반도체 기판(100) 내에 소자분리용 헬로우 트렌치(120)를 형성한다. 경우에 따라서는, 패드 질화막(110)과 반도체 기판(100) 상에 버퍼 산화막(미도시)을 열산화법으로 형성하여 개재시킬 수도 있다.
- <25> 다음에 도 2에 도시한 것처럼, 트렌치(120)의 내벽과 바닥에 50Å ~ 100Å 정도 두께의 산화막 라이너(130)를 형성한다. 산화막 라이너(130)는 트렌치(120)가 형성된 반도체 기판(100)을 열산화시켜 형성한다. 열산화에 의해, 트렌치(120)를 형성하려고 반도체 기판(100)을 식각하는 동안 가해졌던 데미지가 제거된다. 이어서, 트렌치(120)의 내벽에 질화막 스페이서(140)를 형성한다. 이를 위해서, 산화막 라이너(130)가 형성된 반도체 기판(100) 전면에 50Å ~ 200Å 정도 두께의 질화막을 증착한 다음, 트렌치(120)의 바닥이 노출될 때까지 이를 이방성 식각한다.
- <26> 다음에 도 3을 참조하면, 도 2의 결과물에 저에너지 높은 도우즈(low energy high dose)의 이온주입(150)을 실시하여 트렌치(120)의 바닥에 고농도 웨尔(160)을 형성한다. 이 때에, 패드 질화막(110)과 질화막 스페이서(140)가 이온주입 마스크로 사용되어, 트렌치(120)의 바닥 이외에는 이온주입이 되지 않는다. 저에너지 높은 도우즈의 이온주입(150) 에너지와 도우즈는 각기 10 keV 내지 30 keV의 범위, 1×10^{15} 내지 5×10^{15} ions/cm²의 범위를 갖도록 한다.
- <27> 이제, 트렌치(120)를 도 4에서와 같이 절연물질(165)로 매립한다. 절연물질(165)로는 예를 들어, MTO(Middle Temperature Oxide), USG(Undoped Silicate Glass) 또는

HDP-CVD(High Density Plasma-Chemical Vapor Deposition)법을 이용하여 형성한 산화막, 또는 이들의 적절한 조합을 이용할 수 있다.

<28> 다음에 도 5에서와 같이, 도 4의 결과물 상면을 평탄화하여 패드 질화막(110)이 드러나게 한 다음, 패드 질화막(110)까지 제거하여 반도체 기판(100)의 상면을 드러나게 함으로써 소자분리막(170)을 형성한다. 여기서, 평탄화하는 단계는 패드 질화막(110)을 종료점으로 하는 CMP(Chemical Mechanical Polishing) 공정에 의할 수 있다. 남아 있는 패드 질화막(110)은 잘 알려진 바와 같이 인산 스트립으로 제거할 수 있는데, 그 전에 CMP 단계에서 많이 제거하여야 소자분리막(170)과 반도체 기판(100)간에 단차가 작아진다. 도 1을 참조하여 설명한 단계에서 버퍼 산화막을 형성한 경우라면, 패드 질화막(110) 제거 후, 버퍼 산화막도 HF 희석액 등으로 제거한다. 일반적으로 소자분리막(170)이 반도체 기판(100)에 대하여 위로 약간 솟게 되지만, 도 5에서는 소자분리막(170)과 반도체 기판(100)간의 단차를 무시하고 도시하였다.

<29> 도 6을 참조하면, 소자분리막(170)을 포함한 반도체 기판(100) 전면에 저에너지의 이온주입(180)을 실시하여 고농도 웨(160)의 상부와 오버랩되는 깊이(D)까지 저농도 웨(190)을 형성한다. 저에너지의 이온주입(180)은 20 keV 내지 30 keV의 에너지 범위와 1×10^{12} 내지 1×10^{13} ions/cm²의 도우즈로 불순물을 주입하는 것이다. 저농도 웨(190)을 형성할 때에는 반도체 기판(100)의 표면으로부터 소자분리막(170) 깊이까지 이온주입되어야 하므로, 도 3을 참조하여 설명한 단계에서 노출된 트렌치(120)의 바닥에 이온주입하여 고농도 웨(160)을 형성하는 경우보다 높은 에너지로 주입하는 것이 좋다. 이렇게 하여 형성된 고농도 웨(160)과 저농도 웨(190)를 합친 전체 웨의 깊이는 소자분리막(170) 정도의 깊이가 됨을 알 수 있다.

<30> 이상의 실시예에 의하면, 웨이온주입시 저에너지 높은 도우즈를 사용하여 웨이영역의 깊이를 트렌치형 소자분리막 정도의 깊이에 형성한다. 이로써, 저저항을 가진 쉘로우웨이 제어가능하게 형성된다. 웨이영역의 수직적 스케일링을 통하여 웨간 마진을 확보하고, 웨이저항을 감소시킬 수 있다.

<31> (제2 실시예)

<32> 도 7 내지 도 13은 본 발명의 제2 실시예에 따른 쉘로우웨이 형성방법을 설명하기 위한 공정단면도들이다. 본 실시예에서는 CMOS용 웨이를 형성한다. 반도체 집적회로의 동작속도가 빨라지고 집적도가 높아짐에 따라 칩당 소비전력이 현저하게 증가되면서, 저소비전력의 CMOS 소자에 대한 요구는 지속적으로 높아져서, 거의 모든 집적회로가 CMOS화되고 있다. CMOS 소자는 저소비전력이라는 장점 외에도 동작 영역이 넓고, 노이즈 마진(noise margin)이 크다는 장점도 가지고 있다.

<33> 먼저 도 7을 참조하면, 우선 반도체 기판(200)을 NMOS 영역(a)과 PMOS 영역(b)으로 나눈다. 그리고, 반도체 기판(200)에 형성한 패드 질화막(210)을 식각마스크로 사용하여 반도체 기판(200)을 2500 내지 3000Å 정도 식각함으로써, 반도체 기판의 NMOS 영역(a)과 PMOS 영역(b) 내에 소자분리용 쉘로우 트렌치(220)들을 형성한다. 다음에, 트렌치(220)의 내벽과 바닥에 산화막 라이너(230)를 형성하고, 트렌치(220)의 내벽을 덮는 질화막 스페이서(240)를 형성한다.

<34> 도 8을 참조하면, NMOS 영역(a)쪽만 노출시키는 1차 감광막(245)을 형성한 다음, 패드 질화막(210)과 질화막 스페이서(240)를 이온주입 마스크로 사용하는 저에너지 높은 도우즈의 이온주입(250)을 실시하여 NMOS 영역(a)의 트렌치(220) 바닥에 P+ 웨이(260)을 형성한다. 이 때에 불순물 소스로서 BF

²를 이용할 수 있다. 본 실시예에서 저에너지 높은 도우즈란 10 keV 내지 30 keV의 에너지 범위와 1×10^{15} 내지 5×10^{15} ions/cm² 도우즈를 말한다. 저에너지 이온주입을 실시하므로, 1차 감광막(245)은 1 μ m 내지 1.5 μ m의 얇은 두께로 형성할 수 있다. 종래의 감광막 두께가 2.5 μ m 내지 3 μ m의 수준인 것을 감안하면, 1차 감광막(245)의 두께는 월마진을 확보할 수 있는 정도로 얇은 두께라는 것을 알 수 있다.

<35> 다음에 도 9에 도시한 바와 같이, 1차 감광막(245)을 제거한 다음, PMOS 영역(b)쪽만 노출시키는 2차 감광막(247)을 형성하고, 패드 질화막(210)과 질화막 스페이서(240)를 이온주입 마스크로 사용하는 저에너지 높은 도우즈의 이온주입(252)을 실시하여, PMOS 영역(b)의 트렌치(220) 바닥에 N+ 웰(262)을 형성한다. 이 때에는 불순물 소스로서 AsH₃을 이용할 수 있다. 1차 감광막(245)과 마찬가지로 2차 감광막(247)도 1 μ m 내지 1.5 μ m의 얇은 두께를 갖도록 형성할 수 있다.

<36> 도 10을 참조하면, 2차 감광막(247)을 제거한 다음, P+ 웰(260)과 N+ 웰(262) 위로 절연물질(265)을 덮고 상면을 평탄화한 다음 패드 질화막(210)을 제거하여, 트렌치(220)를 매립하는 소자분리막(270)을 형성한다.

<37> 다음에 도 11에 도시한 바와 같이, NMOS 영역(a)쪽만 노출시키는 3차 감광막(275)을 형성한 다음, 소자분리막(270)을 포함한 반도체 기판(200) 전면에 BF₂ 등의 저에너지의 이온주입(280)을 실시하여 NMOS 영역(a)에 P+ 웰(260)의 상부와 오버랩되는 깊이까지 P 웰(290)을 형성한다. 본 실시예에서, 저에너지의 이온주입(280)은 20 keV 내지 30 keV의 에너지 범위로 1×10^{12} 내지 1×10^{13} ions/cm²의 도우즈로 불순물을 주입하는 것이다. 저에너지 이온주입을 실시하므로, 3차 감광막(275)도 1 μ m 내지 1.5 μ m의 얇은 두께로 형성할 수 있다.

<38> 도 12를 참조하면, 3차 감광막(275)을 제거한 다음, PMOS 영역(b)쪽만 노출시키는 4차 감광막(277)을 형성한다. 이어서, 소자분리막(270)을 포함한 반도체 기판(200) 전면에 저에너지의 이온주입(282)을 실시하여 PMOS 영역(b)에 N⁺ 웨(262)의 상부와 오버랩 되는 깊이까지 N 웨(292)을 형성한다. 저에너지의 이온주입(282)은 20 keV 내지 30 keV의 에너지 범위로 1×10^{12} 내지 1×10^{13} ions/cm²의 도우즈로 불순물을 주입하는 것이다. 저에너지 이온주입을 실시하므로, 4차 감광막(277)도 1 μ m 내지 1.5 μ m의 얇은 두께로 형성할 수 있다. 도 12에 나타내었듯이, N⁺ 웨(262)과 N 웨(292)을 합친 쉘로우 N 웨의 깊이는 트렌치 소자분리막(270) 정도의 깊이이다. 마찬가지로, P⁺ 웨(260)과 P 웨(290)을 합친 쉘로우 P 웨의 깊이도 트렌치 소자분리막(270) 정도의 깊이임을 알 수 있다.

<39> 도 13을 참조하면, 4차 감광막(277)을 제거하여 웨 형성공정을 완료한다. 본 실시 예에 따라 웨이 형성된 반도체 기판(200)에 후속적으로 원하는 CMOS 소자를 형성하게 된다. 예컨대, NMOS 영역(a)과 PMOS 영역(b)에 각각 게이트 절연막(310a, 310b)과 게이트 전극(320a, 320b)으로 구성되는 게이트들을 형성한 다음, 이온주입을 실시하여 소스/드레인(330a, 330b)을 형성한다. 그 위로 충간절연막(미도시)을 형성한 다음, 이를 관통하여 각 소스/드레인(330a, 330b)과 접하는 콘택플러그(340)를 형성한다.

<40> 이상, 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다.

【발명의 효과】

<41> 상술한 본 발명에 의하면, 저저항을 가진 쉘로우 웨이 제어가능하게 형성된다. 본 발명에 따라 형성되는 쉘로우 웨의 장점은 다음과 같다.

<42> 첫째, 웨爾 저항이 종래보다 70 ~ 90% 감소된다. 트리거 전압(trigger voltage)이 증가하고 홀딩 전압(holding voltage)이 감소하기 때문에 랫치업이 억제된다. 저항 감소에 따라, 웨爾 바이어싱(biasing)을 위한 콘택 수를 감소하는 것이 용이하므로, 웨爾 바이어스를 안정화할 수 있다.

<43> 둘째, 저에너지 이온주입을 사용하므로 이온주입시의 데미지(damage)를 감소시킨다. 따라서, 본 발명에 따라 형성한 웨爾에 DRAM 등의 메모리 소자를 형성하게 되면, 메모리 소자의 데이터 리텐션 타임(data retention time) 즉, 리프레쉬 타임(refresh time) 특성이 향상된다.

<44> 셋째, 저에너지 이온주입을 실시하므로 마스킹이 필요한 경우에 감광막의 두께를 충분히 얇게 형성할 수 있다. 종래에는 마스킹용 감광막이 $2.5\mu m$ 내지 $3\mu m$ 의 두께 수준으로 두꺼워서 웨爾간의 마진이 감소하였던 것에 비하여 본 발명에서는 $1\mu m$ 내지 $1.5\mu m$ 의 두께로 얇게 형성할 수 있다. 따라서, 웨爾간의 마진을 증가시킬 수 있게 되므로 소자의 고집적화에 유리하게 적용될 수 있다.

<45> 넷째, 고농도 웨爾과 저농도 웨爾을 합친 전체 웰로우 웨爾의 깊이는 2500 내지 3000\AA 깊이로 형성되는 소자분리막의 깊이 수준이다. 웨爾 깊이가 깊지 않으므로 SER 특성을 개선할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 내에 소자분리용 트렌치를 형성하는 단계;

상기 트렌치의 바닥에 저에너지 높은 도우즈(low energy high dose)의 이온주입을 실시하여 고농도 웨л을 형성하는 단계;

상기 트렌치를 절연막으로 매립하여 상기 고농도 웨л 위로 소자분리막을 형성하는 단계; 및

상기 소자분리막을 포함한 반도체 기판 전면에 저에너지의 이온주입을 실시하여 상기 고농도 웨л의 상부와 오버랩되는 깊이까지 저농도 웨л을 형성하는 단계를 포함하는 것을 특징으로 하는 웨л 형성방법.

【청구항 2】

반도체 기판에 패드 질화막을 형성하는 단계;

상기 패드 질화막을 식각마스크로 사용하여 상기 반도체 기판을 식각함으로써 상기 반도체 기판 내에 소자분리용 트렌치를 형성하는 단계;

상기 트렌치의 내벽에 질화막 스페이서를 형성하는 단계;

상기 패드 질화막과 질화막 스페이서를 이온주입 마스크로 사용하는 저에너지 높은 도우즈의 이온주입을 실시하여 상기 트렌치의 바닥에 고농도 웨л을 형성하는 단계;

상기 고농도 웨л 위로 절연물질을 덮고 상면을 평탄화한 다음, 상기 패드 질화막을 제거하여 상기 트렌치를 매립하는 소자분리막을 형성하는 단계; 및

상기 소자분리막을 포함한 반도체 기판 전면에 저에너지의 이온주입을 실시하여 상기 고농도 웰의 상부와 오버랩되는 깊이까지 저농도 웰을 형성하는 단계를 포함하는 것을 특징으로 하는 웰 형성방법.

【청구항 3】

반도체 기판을 제1 영역과 제2 영역으로 나누는 단계;

상기 반도체 기판에 패드 질화막을 형성하는 단계;

상기 패드 질화막을 식각마스크로 사용하여 상기 반도체 기판을 식각함으로써 상기 제1 영역과 제2 영역 내에 소자분리용 트렌치들을 형성하는 단계;

상기 트렌치들의 내벽에 질화막 스페이서를 형성하는 단계;

상기 제2 영역쪽만 노출시키는 1차 감광막을 형성한 다음, 상기 패드 질화막과 질화막 스페이서를 이온주입 마스크로 사용하는 저에너지 높은 도우즈의 이온주입을 실시하여 상기 제2 영역의 트렌치 바닥에 제1 도전형 고농도 웰을 형성하는 단계;

상기 1차 감광막을 제거한 다음, 상기 제1 영역쪽만 노출시키는 2차 감광막을 형성하고, 상기 패드 질화막과 질화막 스페이서를 이온주입 마스크로 사용하는 저에너지 높은 도우즈의 이온주입을 실시하여 상기 제1 영역의 트렌치 바닥에 상기 제1 도전형과 반대되는 제2 도전형 고농도 웰을 형성하는 단계;

상기 2차 감광막을 제거한 다음, 상기 제1 도전형 고농도 웰과 제2 도전형 고농도 웰 위로 절연물질을 덮고 상면을 평탄화한 다음, 상기 패드 질화막을 제거하여 상기 트렌치를 매립하는 소자분리막을 형성하는 단계; 및

상기 제2 영역쪽만 노출시키는 3차 감광막을 형성한 다음, 상기 소자분리막을 포함한 반도체 기판 전면에 저에너지의 이온주입을 실시하여 상기 제2 영역에 상기 제1 도전형 고농도 웰의 상부와 오버랩되는 깊이까지 제1 도전형 저농도 웰을 형성하는 단계;

상기 3차 감광막을 제거한 다음, 상기 제1 영역쪽만 노출시키는 4차 감광막을 형성하고, 상기 소자분리막을 포함한 반도체 기판 전면에 저에너지의 이온주입을 실시하여 상기 제1 영역에 상기 제2 도전형 고농도 웰의 상부와 오버랩되는 깊이까지 제2 도전형 저농도 웰을 형성하는 단계; 및

상기 4차 감광막을 제거하는 단계를 포함하는 것을 특징으로 하는 웰 형성방법.

【청구항 4】

제1항 내지 제3항 중 어느 하나의 항에 있어서, 상기 소자분리용 트렌치의 깊이는 2500 내지 3000Å가 되도록 형성하는 것을 특징으로 하는 웰 형성방법.

【청구항 5】

제1항 내지 제3항 중 어느 하나의 항에 있어서, 상기 저에너지 높은 도우즈의 이온주입은 10 keV 내지 30 keV의 에너지 범위와 1×10^{15} 내지 5×10^{15} ions/cm²의 도우즈로 이온주입하는 것을 특징을 하는 웰 형성방법.

【청구항 6】

제1항 내지 제3항 중 어느 하나의 항에 있어서, 상기 저에너지의 이온주입은 20 keV 내지 30 keV의 에너지 범위와 1×10^{12} 내지 1×10^{13} ions/cm²의 도우즈로 이온주입하는 것을 특징을 하는 웰 형성방법.

【청구항 7】

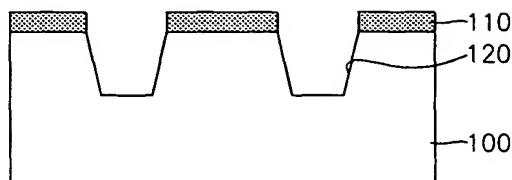
제2항 또는 제3항에 있어서, 상기 트렌치의 내벽에 질화막 스페이서를 형성하기 전에, 상기 트렌치의 내벽과 바닥에 산화막 라이너를 형성하는 단계를 더 포함하는 것을 특징으로 하는 웨л 형성방법.

【청구항 8】

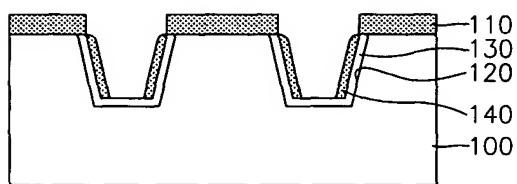
제3항에 있어서, 상기 1차 내지 4차 감광막은 웨간 마진을 확보할 수 있는 정도로 얇은 $1\mu m$ 내지 $1.5\mu m$ 의 두께로 형성하는 것을 특징으로 하는 웨л 형성방법.

【도면】

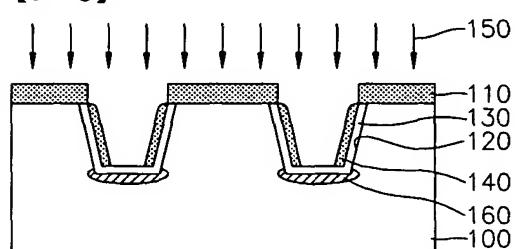
【도 1】



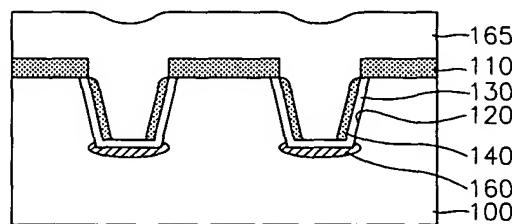
【도 2】



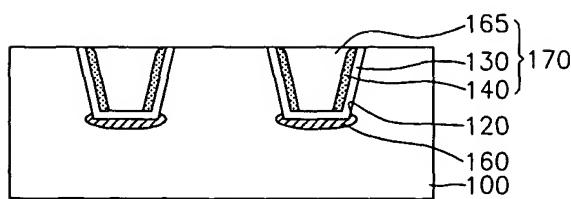
【도 3】



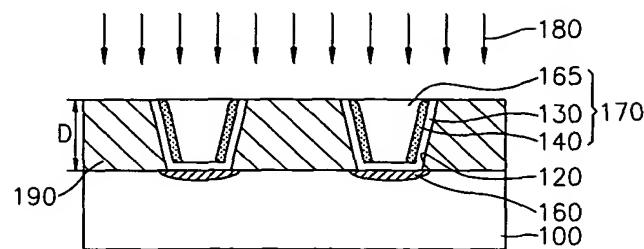
【도 4】



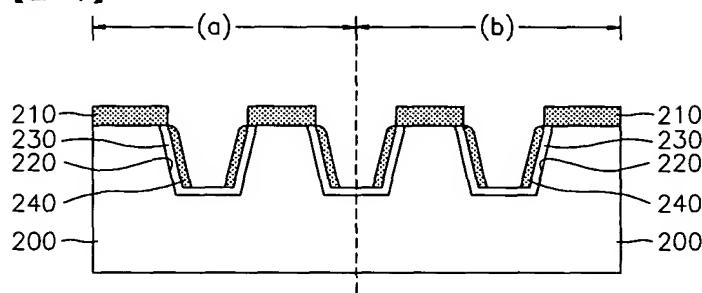
【도 5】



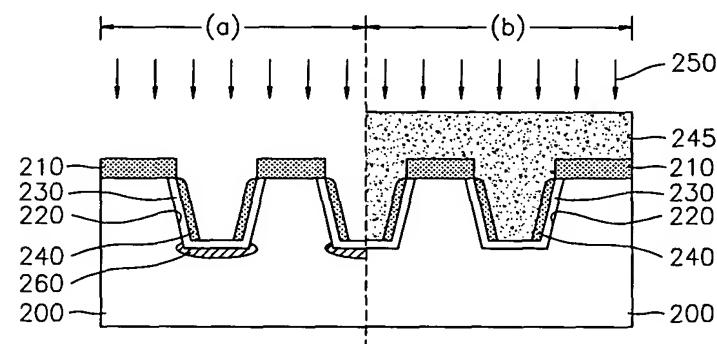
【도 6】



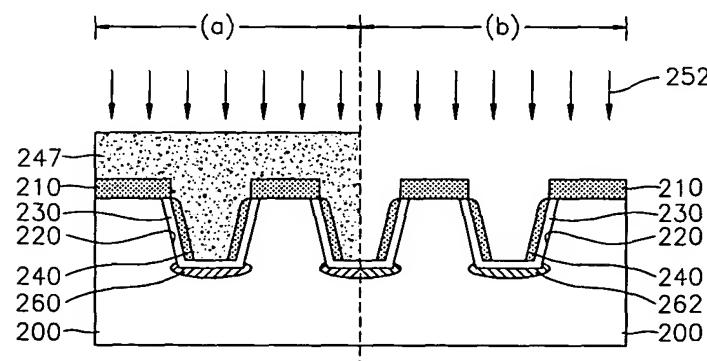
【도 7】



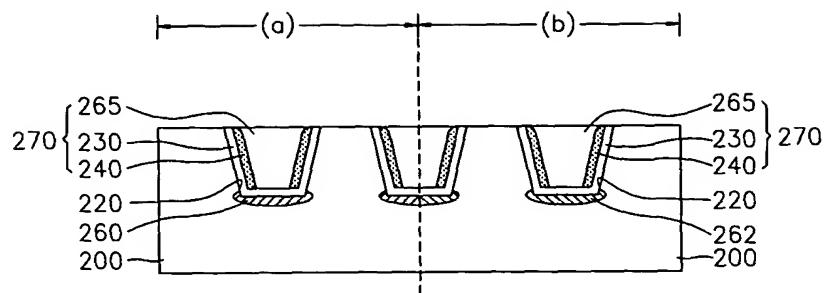
【도 8】



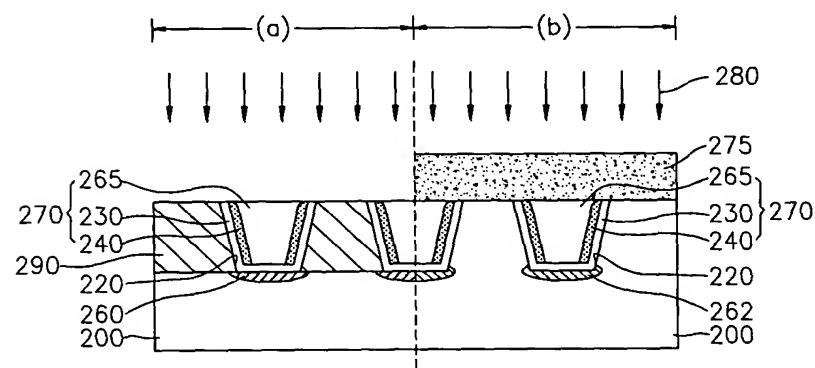
【도 9】



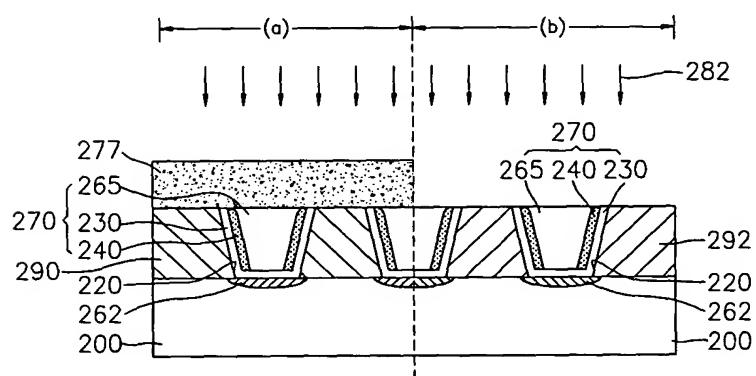
【도 10】



【도 11】



【도 12】



【도 13】

